

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0067861
Application Number

출원년월일 : 2002년 11월 04일
Date of Application NOV 04, 2002

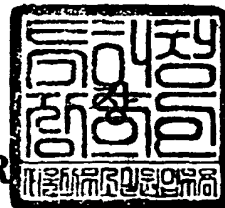
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.11.04
【국제특허분류】	H01L
【발명의 명칭】	프리스케일러를 포함하는 위상 제어 루프 회로
【발명의 영문명칭】	PLL having prescaler
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	최윤영
【성명의 영문표기】	CHOI, Yun Young
【주민등록번호】	720306-1566011
【우편번호】	361-760
【주소】	충청북도 청주시 흥덕구 봉명동 1855 푸른아파트 104-1406
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	1 면 1,000 원

1020020067861

출력 일자: 2003/5/20

【우선권주장료】	0	건	0	원
【심사청구료】	4	항	237,000	원
【합계】	267,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명에 따른 프리스케일러를 포함하는 위상 제어 루프 회로(Phase Locked Loop; 이하 PLL라 한다)는, 전압제어발진기(Voltage Controlled Oscillator; 이하 VCO라 한다)를 여러 개 중첩하여, 그 여러 개의 VCO를 제어하기 위해 원하는 주파수에서 VCO를 선택할 수 있도록 제어 회로를 사용하여 여러 주파수에서 선형적으로 동작할 수 있도록 함으로써, PLL의 내부에 사용하는 제어 비트를 이용하여 자동적으로 주파수를 선보정할 수 있기 때문에 별도의 주파수 보정 신호가 필요하지 않고, VCO를 내장할 경우, PLL 전체 회로를 단일 칩으로 구성할 수 있다.

【대표도】

도 5

【명세서】

【발명의 명칭】

프리스케일러를 포함하는 위상 제어 루프 회로{PLL having prescaler}

【도면의 간단한 설명】

도 1은 프로그램 카운터를 사용하는 일반적인 PLL을 나타낸 블록도.

도 2는 프리스케일러를 사용하는 일반적인 PLL을 나타낸 블록도.

도 3은 스왈로 방식을 사용하는 종래 기술에 따른 PLL을 나타낸 블록도.

도 4는 본 발명에 따른 스왈로 방식을 사용하는 PLL을 나타낸 블록도.

도 5는 RF2 전압제어발진기의 주파수 범위와 영역 분할의 일례를 보인 그래프.

도 6은 본 발명에 따른 전압제어발진기 제어 비트 발생기를 나타낸 회로도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<7> 본 발명은 위상 제어 루프 회로(phase locked loop; 이하 PLL이라 한다)에 관한 것으로, 보다 상세하게는 주파수 범위를 구분하는 전압 제어 발진기(voltage controlled oscillator; 이하 VCO라 한다)를 제어하는 제어 제어장치를 사용하여 모든 주파수 대역에서 전압 제어 발진기의 값을 나눌 수 있는 프리스케일러를 포함하는 PLL에 관한 것이다.

<8> 도 1은 프로그램 카운터를 사용하는 일반적인 PLL을 나타낸 블록도이다.

<9> PLL은, 외부 클럭 신호 ECLK의 기준 주파수 f_r 과 비교 클럭 신호 PCLK의 비교 주파수 f_p 을 비교하는 위상 비교기(1)와, 위상비교기(1)의 출력신호를 필터링하는 저대역 여파기(Low Pass Filter; LPF)(2)와, 저대역 여파기(2)의 직류 신호에 따라 비례하는 주파수의 신호를 발생하는 전압제어발진기(Voltage Controlled Oscillator; VCO)(3)와, 전압제어발진기(3)의 출력클럭신호 ICLK의 주파수를 일정 $1/N$ 분주비로 분주하는 프로그램 카운터(4)를 포함한다.

<10> 전압제어발진기(3)의 출력 클럭 신호 ICLK의 출력 주파수 f_{vco} 는 프로그램 카운터(4)에 의해 $1/N$ 분주되어, 비교 주파수 f_p 로써 부궤환되어 위상 비교기(1)에 입력된다.

<11> 이때, 전압제어발진기(3)의 출력 주파수 f_{vco} 는 [수학식 2]에 의해 정의된다.

<12> [수학식 2]

<13>
$$f_p = \frac{f_{vco}}{N}$$

<14> 여기서, $f_p = f_r$ 이므로, [수학식 2]는 [수학식 3]과 같이 나타낼 수 있다.

<15> [수학식 3]

<16>
$$f_{vco} = N \times f_r$$

<17> [수학식 3]에서 N 값을 변경하여 기준 주파수 f_r 의 스텝으로 출력 주파수 f_{vco} 를 변화시킬 수 있다는 것을 알 수 있다.

<18> 따라서, 출력 주파수 f_{vco} 를 각종 통신기기의 로컬 오실레이터 등에 사용하면, 1개의 수정발진기로 여러 가지 주파수를 수정과 동등한 안정도를 갖고 이용할 수 있다. 여기서, 출력 주파수 f_{vco} 가 높아지면 프로그램 카운터(4)로 직접 분주하기 어려워진다.

- <19> 따라서, 도 2에 도시된 바와 같은 고속으로 동작하는 프리스케일러를 사용하는 위상 제어 루프 회로를 사용한다.
- <20> 도 2는 프리스케일러를 사용하는 일반적인 PLL을 나타낸 블록도이다.
- <21> 프리스케일러를 사용하는 PLL은, 외부 클럭 신호 ECLK의 기준 주파수 f_r 과 비교 클럭 신호 PCLK의 비교 주파수 f_p 을 비교하는 위상 비교기(11)와, 위상비교기(11)의 출력신호를 필터링하는 저대역 여파기(12)와, 저대역 여파기(12)의 직류 신호에 비례하는 주파수의 신호를 발생하는 전압제어발진기(13)와, 전압 제어 발진기(13)의 출력을 1/M로 분주하는 프리스케일러(14)와, 프리스케일러(14)에 의해 분주된 클럭신호를 다시 1/N로 분주하는 프로그램 카운터(15)를 포함한다.
- <22> 전압제어발진기(13)의 출력 주파수 f_{vco} 는 먼저 프리스케일러(14)에서 1/M로 분주되고, 다시 프로그램 카운터(15)에 의해 1/N 분주되어, 비교 주파수 f_p 로써 부궤환되어 위상 비교기(11)에 입력된다.
- <23> 여기서, 비교 주파수 f_p 는 [수학식 4]와 같이 정의된다.
- <24> [수학식 4]
- <25>
$$f_p = \frac{f_{vco}}{N \times M}$$
- <26> 따라서, 출력 주파수 f_{vco} 는 [수학식 5]와 같이 정의된다. 여기서, $f_p = f_r$ 이다.
- <27> [수학식 5]
- <28>
$$f_{vco} = N \times M \times f_r$$

- <29> [수학식 5]에서 프로그램 카운터(15)의 분주비 N 을 변화시키면, 출력 주파수 f_{vco} 는 $M \times$ 의 스텝으로 변한다. 따라서, 채널의 주파수 간격인 채널 세퍼레이션은 $M \times$ 로 되고, 신시사이저에서의 기준 주파수 f_r 은 채널 세퍼레이션의 분주비 $1/M$ 로 된다.
- <30> 도 3은 기준 주파수 f_r 로 채널 세퍼레이션을 설정한 스왈로 방식을 사용하는 일반적인 PLL를 나타낸 블록도이다.
- <31> PLL은, 기준 주파수 f_r 와 비교 주파수 f_p 를 비교하는 위상 비교기(21)와, 저대역 여파기(22)와, 저대역 여파기(22)의 직류 신호에 따라 비례하는 주파수의 신호를 발생시키는 전압제어발진기(23)와, 전압제어발진기(23)의 출력 클럭신호 ICLK의 주파수를 $1/M$ 및 $1/(M+1)$ 의 분주비로 분주하는 듀얼 모듈러스 프리스케일러(24)와, 프리스케일러(24)의 분주된 클럭신호를 $1/N$ 분주비로 분주하는 프로그램 카운터(25)와, 프리스케일러(24)의 분주된 클럭신호를 $1/A$ 분주비로 분주하는 스왈로 카운터(26)와, 스왈로 카운터(26)의 출력과 프로그램 카운터(25)의 출력을 이용하여 프리스케일러(24)를 제어하는 모드 제어 신호 MC를 출력하는 제어부(27)를 포함한다.
- <32> 전압제어발진기(23)의 출력 클럭 신호 ICLK의 출력 주파수 f_{vco} 은 $1/M$ 및 $1/(M+1)$ 분주비를 갖는 듀얼 모듈러스 프리스케일러(24)에 의해 분주되고, 프로그램 카운터(25) 및 스왈로 카운터(26)에 입력된다.
- <33> 스왈로 카운터(26)는 프리스케일러(24)의 분주비 제어용으로 사용되며, 스왈로 카운터(26)가 동작 중에는 프리스케일러(24)의 분주비는 $1/(M+1)$ 로 세트된다.

<34> 스왈로 카운터(26)가 A 개의 펄스를 카운터 하면 프리스케일러(24)의 분주비는 1/M으로 세트된다. 즉, A/N의 시간은 1/[(M+1)×]의 분주비로, (N-A)/N의 시간은 1/M×의 분주비로 된다.

<35> 이때, 비교 주파수 fp는 [수학식 6]에 의해 정의된다.

<36> [수학식 6]

$$\begin{aligned} \text{<37> } fp &= \frac{fvco}{\left\{ \left((M+1) \times N \right) \times \frac{A}{N} \right\} + \left\{ (M \times N) \times \frac{(N-A)}{N} \right\}} \\ &= \frac{fvco}{\{ ((M+1) \times A) + ((N-A) \times M) \}} \end{aligned}$$

<38> 따라서, 출력 주파수 fvco는 [수학식 7]에 의해 정의된다. 여기서, fp=fr이다.

<39> [수학식 7]

$$\begin{aligned} \text{<40> } fvco &= fp \{ ((M+1) \times A) + ((N-A) \times M) \} \\ &= fp(A + M \times N) \\ &= fr(A + M \times N) \end{aligned}$$

<41> [수학식 7]에서 N은 M과 계수 관계이지만, A와는 계수 관계를 갖고 있지 않기 때문에 A 값을 변화시키면 기준 주파수 fr만 변한다. 이와 같이 프리스케일러(24)를 사용하고, 채널 선퍼레이션을 기준 주파수 fr로 할 수 있다. 특히 높은 주파수의 주파수 신시사이저에서는 프리스케일러(24)의 분주비를 크게 설정하기 때문에 펄스 스왈로 방식이 사용된다.

<42> 일반적으로 펄스 스왈로 방식의 출력 주파수 fvco는 [수학식 8]에 따라 설정 값이 정의된다.

<43> [수학식 8]

$$\text{<44> } f_{vco} = \{ (M \times N) + A \} \times \frac{f_{osc}}{R}$$

<45> 여기서, M은 프리스케일러(24)의 분주비이고, N은 프로그램 카운터(25)의 설정 값이고, A는 스왈로 카운터(26)의 설정 값으로 $A < N$ 의 관계를 갖는다. 또한, f_{osc} 는 기준 발진 주파수를 나타내고, R은 기준 카운터(reference counter)의 설정 값을 나타낸다.

<46> 종래 기술에 따른 PLL의 VCO는 비선형적인 특성을 갖기 때문에 넓은 대역에서 여러 주파수 대역을 사용할 수 없으므로, 온 칩 PLL에서 VCO를 사용할 수 없는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<47> 이와 같은 문제점을 해결하기 위한 본 발명의 목적은, VCO를 여러 개 중첩하여, 그 여러 개의 VCO를 제어하기 위해 원하는 주파수에서 VCO를 선택할 수 있도록 제어 회로를 사용하여 여러 주파수에서 선형적으로 동작할 수 있도록 함으로써, 온 칩 PLL에서 설계상의 특성을 충족시키는 것이다.

【발명의 구성 및 작용】

<48> 상기 목적을 달성하기 위한 본 발명의 프리스케일러를 포함하는 위상 제어 루프 회로는,

<49> 외부 클럭 신호의 기준 주파수와 비교 클럭 신호의 비교 주파수를 비교하는 위상 비교 수단;

<50> 상기 위상 비교 수단의 출력을 필터링하는 여파기;

- <51> 상기 여파기의 직류 신호에 비례하는 주파수의 클럭신호를 발생하는 전압제어발진기;
- <52> 상기 전압제어발진기의 출력 클럭신호를 적어도 두 개이상의 분주비로 선택적으로 분주하는 프리스케일러;
- <53> 상기 프리스케일러의 출력을 소정의 분주비로 분주하여 상기 비교 주파수를 갖는 상기 비교 클럭 신호를 출력하는 프로그램 카운터;
- <54> 상기 프리스케일러의 분주비를 제어하는 스왈로 카운터; 및
- <55> 상기 프리스케일러의 설정값, 스왈로 카운터의 설정값 및 상기 프로그램 카운터의 설정값을 이용하여 상기 전압제어발진기의 주파수 구분을 제어하는 제어 비트를 출력하는 제어수단을 포함하는 것을 특징으로 한다.
- <56> 상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부도면과 관련한 다음의 상세한 설명을 통해 보다 분명해 질 것이다.
- <57> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다.
- <58> 본 발명에 따른 스왈로 방식을 사용하는 PLL은, 도 4에 도시된 블록도를 참조하면, 외부 클럭 신호 ECLK의 기준 주파수 f_r 와 비교 클럭 신호 PCLK의 비교 주파수 f_p 를 비교하는 위상 비교기(31)와, 저대역 여파기(32)와, 저대역 여파기(32)의 직류 신호에 비례하는 주파수의 내부 클럭 신호 ICLK를 발생하는 전압제어발진기(33)와, 내부 클럭 신호 ICLK를 $1/M$ 및 $1/(M+1)$ 분주비로 분주하는 듀얼 모듈러스 프리스케일러(34)와, 프리스케일러(34)의 출력 클럭신호를 $1/N$ 분주비로 분주하는 프로그램 카운터(35)와, 프리스케일러(34)의 출력 클럭신호를 $1/A$ 분주비로 분주하는 스왈로 카운터(36)와, 스왈로 카운터

(36)의 출력과 프로그램 카운터(35)의 출력을 이용하여 프리스케일러(34)를 제어하는 제어부(37)와, 전압 제어 발진기(33)를 제어하는 제어 비트 CB를 발생하는 제어 비트 발생부(38)를 포함한다.

- <59> 전압 제어 발진기(33)의 내부 클럭 신호 ICLK의 출력 주파수 f_{vco} 은 $1/M$ 및 $1/(M+1)$ 분주비를 갖는 듀얼 모듈러스 프리스케일러(34)에 의해 분주되어, 프로그램 카운터(35) 및 스왈로 카운터(36)에 입력된다.
- <60> 스왈로 카운터(36)는 프리스케일러(34)의 분주비 제어용으로 사용되며, 스왈로 카운터(36)가 동작 중에는 프리스케일러(34)의 분주비는 $1/(M+1)$ 로 세트된다.
- <61> 스왈로 카운터(36)가 A 개의 펄스를 카운트하면 프리스케일러(34)의 분주비는 $1/M$ 으로 세트된다.
- <62> 따라서, 전체 분주 값 N_{total} 은 [수학식 9]에 의해 정의된다.
- <63> [수학식 9]
- <64>
$$N_{total} = M \times N + A$$
- <65> 상기한 주파수 구분 전압제어발진기(33)를 사용할 때 카운터 설계 시 N 및 A 값을 그 제어 입력 값으로 사용한다. 즉, 제어 입력 값으로 N 및 A 값을 전압제어발진기 제어 비트 발생기(38)로 이용한다면 주파수 구분 전압제어발진기(33)를 제어할 수 있다. 여기서, 이상적으로는 스왈로 카운터(36)의 설정값 A, 프로그램 카운터(35)의 설정값 N 및 프리스케일러(34)의 설정값 M을 이용하여 주파수 구분 전압제어발진기(33)를 제어하는 제어 비트 CB를 발생하는 것이 가장 좋지만, 제어 비트 CB가 커지고, 제어 비트 발생기(38)의 회로가 복잡해지기 때문에, 여기서는, 프로그램 카운터(35)의 설정값 N 및 스왈

로 카운터(36)의 설정값 A을 이용하여 제어 비트 CB를 발생하는 제어 비트 발생기(38)를 예를 들어 설명한다.

- <66> 전압제어발진기(33)가 일정한 주파수에서 동작하기 위해 스왈로 카운터(36), 프로그램 카운터(35)의 입력 값을 인가 받아 제어 값으로 이용한다.
- <67> 따라서, 주어진 가변 전압 영역 내에서 전체 주파수 범위를 모두 만족시키며, 실제의 발진주파수 크기 K_{vco} 의 값을 낮추는 방법을 고려해야 하는데, 발진주파수 구분법을 사용하여 고려한다.
- <68> 도 5는 RF2 전압제어발진기의 주파수 범위와 영역 분할의 일례를 보인 그래프이다.
- <69> 도 5에서 1150MHz부터 1230MHz까지의 GSM의 주파수 범위를 가변전압 범위가 1V라고 가정하면, 일반적인 전압제어발진기의 경우 발진주파수의 크기 K_{vco} 가 80MHz/V의 값을 갖는다.
- <70> 그러나, 주파수 범위를 10MHz로 고정하고, 외부의 보조회로를 이용하여 각 주파수 일부 범위를 선택한다면, 전체 주파수 범위를 만족시킬 수 있으며, 각 발진주파수의 크기 K_{vco} 값은 10MHz/V의 작은 값을 가질 수 있다.
- <71> 한편, 전압제어발진기(33) 자체가 좋은 특성을 나타내면서 넓은 주파수를 이용하기 위해서 주파수 구분 전압 제어 발진기를 사용하고, 그에 해당하는 주파수 영역근처에 접근할 때 해당 구간을 선택하는 방식을 사용한다.

<72> 전압제어발진기(33)의 전압 이득이 결정되면, 예를 들어, 10MHz/V로 결정되면, 전압제어발진기(33)의 개수가 결정되고, 전압제어발진기 비트 발생기의 출력 비트 CB가 결정된다.

<73> 따라서, 출력 비트 CB는 5비트로 결정되고, 그 해당하는 주파수의 전압제어발진기(33)를 제어하기 위해서 그 주파수에 해당하는 전체 분주값 N_{total} 을 계산하고, 그 전체 분주값 N_{total} 에 해당하는 입력 값 A 및 N을 계산하여 룩업 테이블(look up table)을 만든다. 따라서, 그 테이블을 기준으로 전압제어발진기 제어 비트 발생기(38)를 설계할 수 있다.

<74> 예를 들어, [수학식 8]을 이용하여 전압제어발진기(33)를 1.24968GHz 대에서 동작하는 전압제어발진기 제어 비트 발생기(38)를 설계하기 위해, 먼저, 전체 분주값 N_{total} 이 127로 결정되고, 그에 해당하는 프로그램 카운터(35)의 분주값 N이 15, 스왈로 카운터(36)의 분주값 A이 7로 결정되면, 출력 제어 비트 CB를 결정할 수 있다.

<75> 여기서, 프리스케일러(34)의 분주비 M는 8이고, 기준 발진 주파수 f_{osc} 는 19.68MHz이며, 기준 카운터의 설정값 R은 2로 설정된다.

<76> 따라서, 본 발명에 따른 전압제어발진기 제어 비트 발생기(38)를 설계하기 위한 룩업 테이블은 [표 1]과 같이 나타낼 수 있다.

<77> [표 1]

<78>	Standards	Fref	Ntotal	A	N	A(bin)	N(bin)	제어 비트(CB)
GSM	13	88	0	11	0000	01011	00110	
		89	1	11	0001	01011	00101	
		90	2	11	0010	01011	00100	
		91	3	11	0011	01011	00011	
		92	4	11	0100	01011	00010	
		93	5	11	0101	01011	00001	
		94	6	11	0110	01011	00000	
AMPS/IS-95A/C	9.84	96	0	12	0000	01100	11001	
		97	1	12	0001	01100	11000	
		98	2	12	0010	01100	10000	
		99	3	12	0011	01100	01000	

<79> 도 6은 [표 1]을 이용하여 설계한 본 발명에 따른 전압제어발진기 제어 비트 발생기(38)를 나타낸 회로도이다.

<80> 제어 비트 발생기(38)는, 스왈로 카운터(36)의 분주값 A를 반전시키는 인버터 INV1 및 INV2와, 프로그램 카운터(34)의 분주값 N을 반전시키는 인버터 INV3와, 인버터들 INV1 및 INV2의 출력신호들을 논리 조합하는 노아 게이트 NOR1와, 노아 게이트 NOR1의 반전출력과 스왈로 카운터(36)의 분주값 A를 논리 조합하는 낸드게이트 ND1와, 스왈로 카운터(36)의 분주값 A과 인버터 INV2의 출력신호를 논리 조합하는 노아 게이트 NOR2와, 스왈로 카운터(36)의 분주값 A과 인버터 INV1의 출력신호를 논리 조합하는 노아 게이트 NOR3와, 스왈로 카운터(36)의 분주값 A과 인버터 INV3의 출력신호를 논리 조합하는 노아 게이트 NOR4와, 스왈로 카운터(36)의 분주값 A의 반전신호와 프로그램 카운터(34)의 분주값 N을 논리 조합하는 낸드게이트 ND3와, 낸드게이트 ND2의 반전 출력신호 및 노아 게이트들 NOR2 및 NOR3의 출력신호들을 논리 조합하는 노아 게이트 NOR5와, 인버터 INV3의 반전 출력신호, 스왈로 카운터(36)의 분주값 A 및 노아 게이트 NOR1의 출력신호를 논리 조합하는 노아 게이트 NOR6와, 노아 게이트 NOR3의 출력신호 및 인버터 INV3의 출력신호

를 논리 조합하는 노아 게이트 NOR7와, 노아 게이트 NOR1의 출력신호 및 인버터 INV3의 출력신호를 논리 조합하는 노아 게이트 NOR8와, 스왈로 카운터(36)의 분주값 A이 리셋 입력 단자 R에 인가되고, 낸드게이트 ND3의 출력신호가 클럭 입력 단자 C에 인가되고, 노아 게이트 NOR4의 출력신호가 데이터 입력 단자 D에 인가되는 D 플립플롭(40)으로 구성되어, 노아 게이트 NOR5, NOR6, NOR7, NOR8 및 D 플립플롭(40)의 출력신호들이 제어 비트 CB를 발생한다.

<81> 현재 시판되고 있는 대부분의 PLL의 경우 외부에 전압제어발진기와 필터를 설치하는데, 이러한 외부 구성 요소들이 제품의 가격과 수율에 큰 영향을 미친다. 따라서, 본 발명의 경우 자동적으로 주파수를 선보정할 수 있기 때문에 전체 PLL의 구현을 단순화시키고 정확한 보정을 할 수 있다.

【발명의 효과】

<82> 이상에서 살펴본 바와 같이, 본 발명에 따른 프리스케일러를 포함하는 PLL는 PLL의 내부에 사용하는 제어 비트 CB를 이용하여 자동적으로 주파수를 선보정할 수 있기 때문에 별도의 주파수 보정 신호가 필요하지 않고, 전압 제어 발진기(33)를 내장할 경우, PLL 전체 회로를 단일 칩으로 구성할 수 있는 효과가 있다.

<83> 아울러 본 발명의 바람직한 실시에는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

【특허청구범위】**【청구항 1】**

외부 클럭 신호의 기준 주파수와 비교 클럭 신호의 비교 주파수를 비교하는 위상 비교 수단;

상기 위상 비교 수단의 출력을 필터링하는 여파기;

상기 여파기의 직류 신호에 비례하는 주파수의 클럭신호를 발생하는 전압제어발진기;

상기 전압제어발진기의 출력 클럭신호를 적어도 두 개이상의 분주비로 선택적으로 분주하는 프리스케일러;

상기 프리스케일러의 출력을 소정의 분주비로 분주하여 상기 비교 주파수를 갖는 상기 비교 클럭 신호를 출력하는 프로그램 카운터;

상기 프리스케일러의 분주비를 제어하는 스왈로 카운터; 및

상기 프리스케일러의 설정값, 스왈로 카운터의 설정값 및 상기 프로그램 카운터의 설정값을 이용하여 상기 전압제어발진기의 주파수 구분을 제어하는 제어 비트를 출력하는 제어수단을 포함하는 것을 특징으로 하는 프리스케일러를 포함하는 위상 제어 루프 회로.

【청구항 2】

제 1 항에 있어서,

상기 스왈로 카운터가 동작 중에는 상기 프리스케일러의 분주비가 상기 두 개 이상의 분주비 중에서 큰 분주비로 분주되도록 세트되는 것을 특징으로 하는 프리스케일러를 포함하는 위상 제어 루프 회로.

【청구항 3】

제 2 항에 있어서,

상기 스왈로 카운터가 설정값만큼의 펄스를 카운트하면 상기 프리스케일러의 분주비는 상기 두 개 이상의 분주비 중에서 작은 분주비로 분주되도록 세트되는 것을 특징으로 하는 프리스케일러를 포함하는 위상 제어 루프 회로.

【청구항 4】

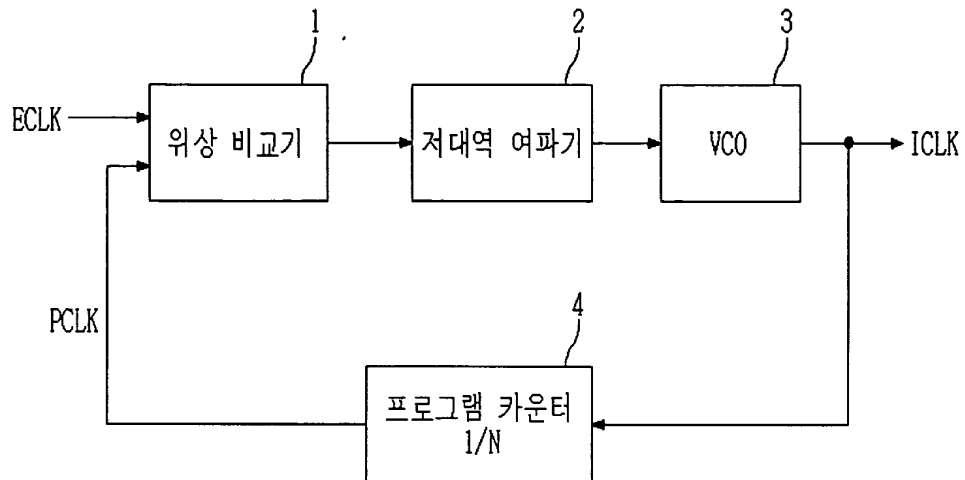
제 2 항에 있어서,

상기 제어수단은,

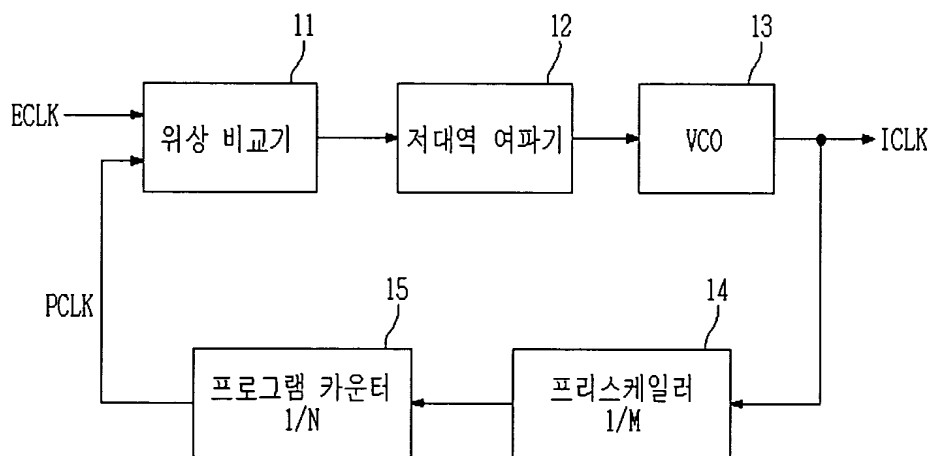
상기 프리스케일러의 설정값이 설정된 상태에서, 상기 전압제어발진기의 전압 이득을 결정하여, 출력 비트 수를 결정하고, 그 해당하는 주파수의 전체 카운터 설정값을 결정하고, 그 전체 카운터 설정값에 해당하는 상기 스왈로 카운터의 설정값 및 상기 프로그램 카운터의 설정값을 결정하여, 상기 결정된 출력 비트 수, 전체 카운터 설정값, 상기 스왈로 카운터의 설정값 및 상기 프로그램 카운터의 설정값을 이용하여 설계되는 디코더인 것을 특징으로 하는 프리스케일러를 포함하는 위상 제어 루프 회로.

【도면】

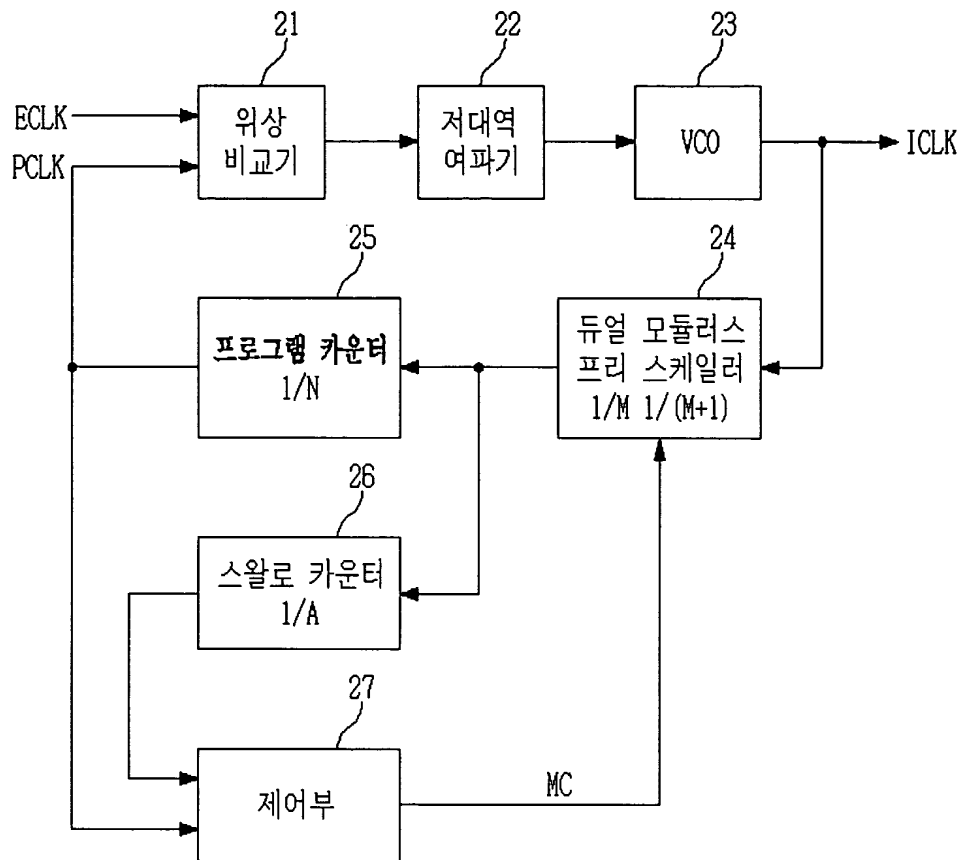
【도 1】



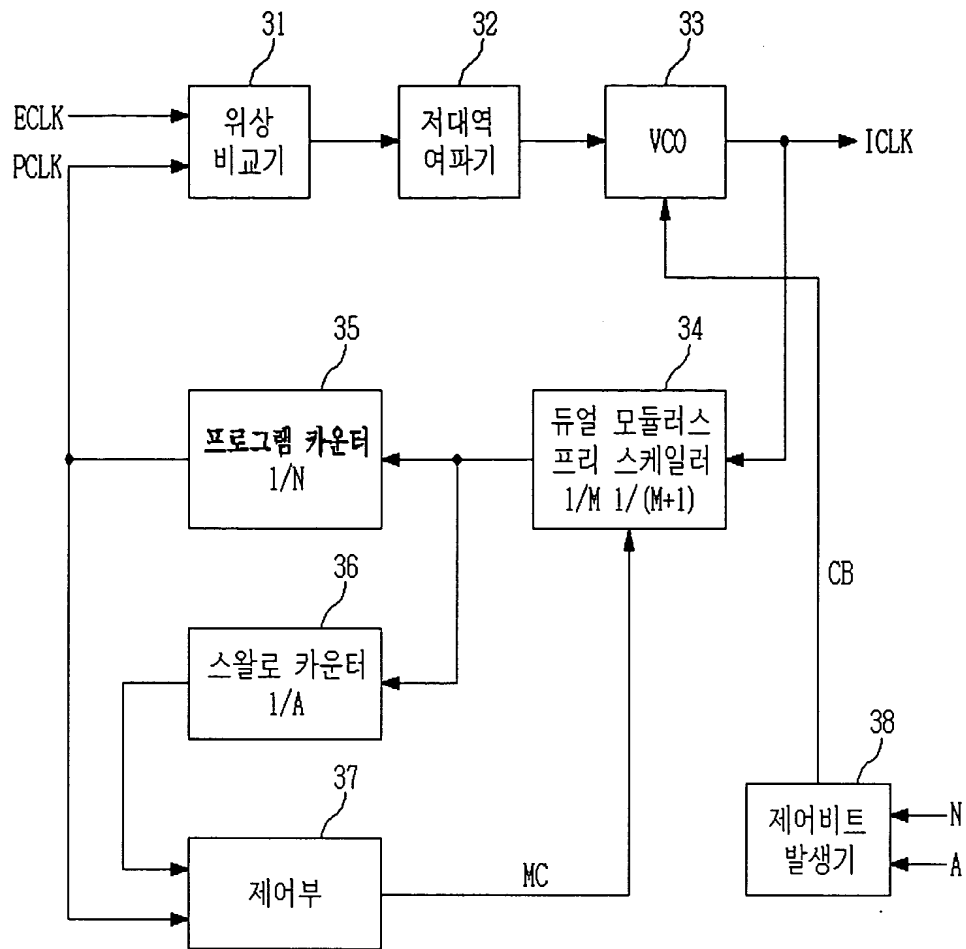
【도 2】



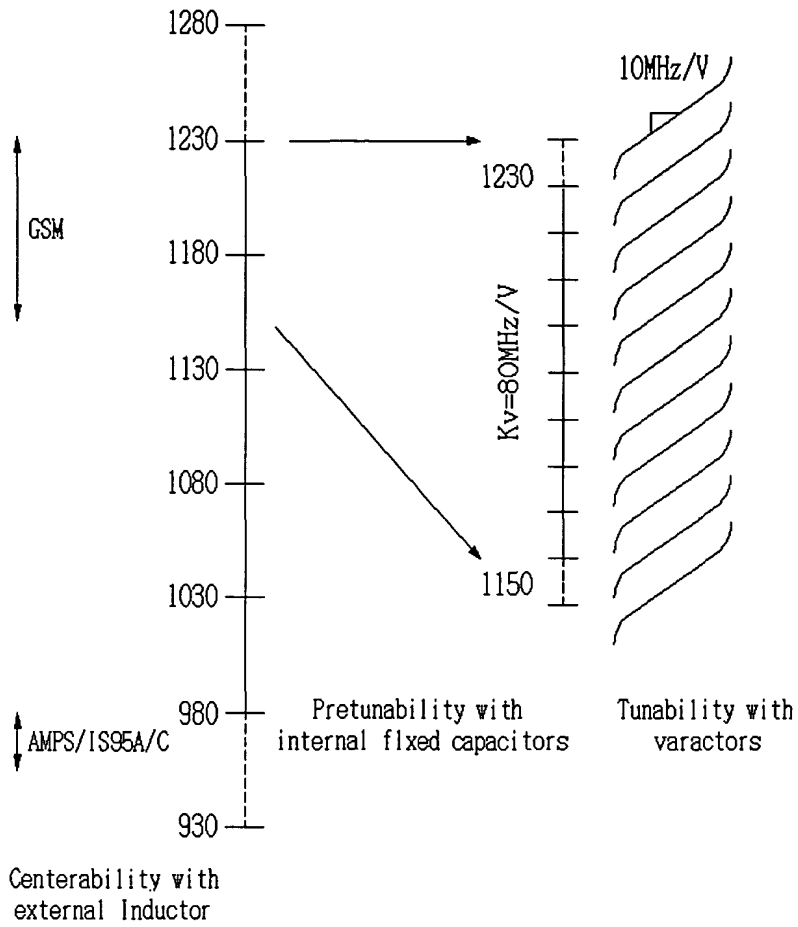
【도 3】



【도 4】



【도 5】



【도 6】

